

COMPOUND SEMICONDUCTOR WAFER AND SEMICONDUCTOR DEVICE USING THE SAME**Publication number:** JP2001053011 (A)**Publication date:** 2001-02-23**Inventor(s):** NAKAMURA MASASHI; ARAMAKI SATOSHI**Applicant(s):** JAPAN ENERGY CORP**Classification:****- international:** *H01L21/306; H01L21/20; H01L21/203; H01L21/205; H01L21/02;* (IPC1-7): H01L21/205; H01L21/20; H01L21/203; H01L21/306**- European:****Application number:** JP19990251449 19990906**Priority number(s):** JP19990251449 19990906; JP19990154880 19990602Abstract of **JP 2001053011 (A)**

PROBLEM TO BE SOLVED: To provide a compound semiconductor wafer having an epitaxial layer grown on a substrate with impurities in the interface between the epitaxial layer and the substrate reduced into such a degree that there is almost no influence of impurities on device characteristics, and also provide a semiconductor device using the wafer. SOLUTION: Three points including (1) a method for washing a substrate, (2) a method for storing the substrate until epitaxial growth is made, and (3) conditions for growth before starting epitaxial growth are optimized. Thereby, a surface density of impurities of C, O, Si and S in the interface between the epitaxial layer and the substrate is set to 1×10^{11} cm⁻² or below, and/or a peak value of the impurities is set to 5×10^{16} cm⁻³ or below, preferably further, a surface density of impurities of Se, Te, Zn, Be, Mn, Fe, Mg, Cr, and Cu is set to 1×10^{11} cm⁻² or below, and/or a peak value of the impurities is set to 5×10^{16} cm⁻³ or below.

Data supplied from the *esp@cenet* database — Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2001-53011
(P2001-53011A)

(43) 公開日 平成13年2月23日 (2001.2.23)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 21/205		H 0 1 L 21/205	5 F 0 4 3
21/20		21/20	5 F 0 4 3
21/203		21/203	M 5 F 0 5 2
21/306		21/306	B 5 F 1 0 3

審査請求 未請求 請求項の数 5 O L (全 5 頁)

(21) 出願番号	特願平11-251449	(71) 出願人	000231109 株式会社ジャパンエナジー 東京都港区虎ノ門二丁目10番1号
(22) 出願日	平成11年9月6日 (1999.9.6)	(72) 発明者	中村 正志 埼玉県戸田市新曽南三丁目17番35号 株式 会社ジャパンエナジー内
(31) 優先権主張番号	特願平11-154880	(72) 発明者	荒巻 聡 埼玉県戸田市新曽南三丁目17番35号 株式 会社ジャパンエナジー内
(32) 優先日	平成11年6月2日 (1999.6.2)	(74) 代理人	100093296 弁理士 小越 勇
(33) 優先権主張国	日本 (J P)		

最終頁に続く

(54) 【発明の名称】 化合物半導体ウエーハ及びこれを用いた半導体デバイス

(57) 【要約】

【課題】 デバイス特性にほとんど影響が無い程度までにエピタキシャル層と基板との界面の不純物を低減したエピタキシャル層を成長させた化合物半導体ウエーハ及びこれを用いた半導体デバイスを提供する。

【解決手段】 (1) 基板の洗浄方法、(2) エピタキシャル成長する迄の基板の保管方法、(3) エピタキシャル成長開始前の成長条件、の3点について最適化することにより、エピタキシャル層と基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは、更に、Se、Te、Zn、Be、Mn、Fe、Mg、Cr及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下とする。

【特許請求の範囲】

【請求項1】 III-V族化合物半導体基板上にエピタキシャル層を成長させた化合物半導体ウエーハにおいて、前記エピタキシャル層と前記基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする化合物半導体ウエーハ。

【請求項2】 上記エピタキシャル層と上記基板との界面のSe、Te、Zn、Be、Mn、Fe、Mg、Cr及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする請求項1記載の化合物半導体ウエーハ。

【請求項3】 上記III-V族化合物半導体基板が半絶縁性GaAs基板であることを特徴とする請求項1又は請求項2記載の化合物半導体ウエーハ。

【請求項4】 上記エピタキシャル層が有機金属気相成長法により形成されたものであることを特徴とする請求項1～請求項3記載の化合物半導体ウエーハ。

【請求項5】 請求項1～請求項4記載の化合物半導体ウエーハを用いて作製されたことを特徴とする半導体デバイス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、化合物半導体ウエーハに関し、特にIII-V族化合物半導体基板上にエピタキシャル層を成長させた化合物半導体ウエーハにおいて、前記エピタキシャル層と前記基板との界面の不純物の面密度及び／又はピーク値（体積密度、本発明ではピーク値と記載する）を大幅に低減した化合物半導体ウエーハ及びこれを用いた半導体デバイス、例えば、電界効果トランジスタ（FET）等に関する。

【0002】

【従来の技術】現在、例えば、携帯電話等に用いられるFET等を製造する際、分子線エピタキシャル成長法（MBE法）や有機金属気相エピタキシャル成長法（MOVPE法）等により、例えば、GaAs基板上にGaAs層やAlGaAs層等をエピタキシャルさせることが行われている。この際、GaAs基板等の表面に付着している不純物等を前処理により十分に除去し、基板表面を清浄化してしておくことが重要であり、そうしないと、良質なエピタキシャル成長層は得られない。

【0003】すなわち、エピタキシャル層と基板界面の不純物、例えばSiは界面付近において自由電子となり、FETのピンチオフ特性、ドレイン耐圧に影響を与えることが知られており、これを防ぐために、（1）エピタキシャル成長する前の基板表面に紫外線オゾン照射して、厚さが2～30nmの酸化膜を形成する（特開平9-320967）、（2）エピタキシャル成長開始

前にメトキシ基を含有する有機金属を反応炉内に流すことにより、基板表面に酸素を含む原子層を形成する（特開平10-12553）、こと等によりSiを不活性化する方法がある。しかしながら、上記のような酸素を含む原子層は電子のトラップとして作用するために、FETのDC特性においてヒステリシスが出るなどの問題があることが知られている。

【0004】又、エピタキシャル層と基板界面に不純物として炭素が存在する場合には、エピタキシャル成長された化合物半導体層とGaAs基板との界面に空乏層が生成され、電気特性が低下することが知られており、これを防止するため、GaAs基板をウエット処理する最終段階で純水の流水中に浸漬した後、純水の静水中に放置し表面に酸化膜を生成させる方法がある（特許第2608448）。しかしながら、形成された酸化膜が成長前までのプロセスで除去できず、界面に酸素が残ることがあるという問題点があることが知られている。

【0005】一方、基板中に存在する深い準位を構成する不純物、表面の酸化物或いは基板表面に付着した不純物等により形成され则认为られている界面遷移層による高周波特性の低下を防止するため、エピタキシャル成長を行う基板表面を黄色硫化アンモニア液に曝した後、真空中100℃で熱処理する方法も知られている（特許2586626）。しかしながら、硫化処理で表面についた硫黄が界面に残ることがあるという問題点があることが知られている。

【0006】

【発明が解決しようとする課題】この様に、エピタキシャル成長を行う前に、基板の表面に付着している不純物等を前処理により十分に除去し、基板表面を清浄化してしておくことが重要であり、そうしないと、良質なエピタキシャル成長層は得られないことは十分に認識されており、又、種々の方法が提案されているが、洗浄技術や成長装置等の制約により、エピタキシャル層と基板との界面の不純物を完全に除去することは困難であるというのが現状である。本発明は、上記の問題点を解決したもので、本発明の目的は、デバイス特性にほとんど影響が無い程度までにエピタキシャル層と基板との界面の不純物を低減したエピタキシャル層を成長させた化合物半導体ウエーハ及びこれを用いた半導体デバイスを提供することにある。

【0007】

【課題を解決するための手段】本発明者らは、上記目的を達成するために、エピタキシャル層と基板との界面の不純物の除去方法について鋭意検討した結果、（1）基板の洗浄方法、（2）エピタキシャル成長する迄の基板の保管方法、（3）エピタキシャル成長開始前の成長条件、の3点について最適化することにより、デバイス特性にほとんど影響が無い程度までにエピタキシャル層と基板との界面の不純物を低減したエピタキシャル層を成

長させた化合物半導体ウエーハが得られることを見出した。この知見に基づいて、本発明は、(1) III-V族化合物半導体基板上にエピタキシャル層を成長させた化合物半導体ウエーハにおいて、前記エピタキシャル層と前記基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする化合物半導体ウエーハ、(2) 上記エピタキシャル層と上記基板との界面のSe、Te、Zn、Be、Mn、Fe、Mg、Cr及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下であることを特徴とする前記(1)記載の化合物半導体ウエーハ、(3) 上記III-V族化合物半導体基板が半絶縁性GaAs基板であることを特徴とする前記(1)又は前記(2)記載の化合物半導体ウエーハ、(4) 上記エピタキシャル層が有機金属気相成長法により形成されたものであることを特徴とする前記(1)～前記(3)記載の化合物半導体ウエーハ、(5) 前記(1)～前記(4)記載の化合物半導体ウエーハを用いて作製されたことを特徴とする半導体デバイス、を提供する。

【0008】

【発明の実施の形態】以下、本発明の実施の形態について、詳細に説明する。先ず、本発明の適用できるエピタキシャル層を成長させるIII-V族化合物半導体基板としては、特に限定されるものでないが、代表的には、半絶縁性のGaAs、半絶縁性のInP等が例示される。なお、これらの基板は不純物がドーピングされたものでも良いが、通常はノンドープのものが使用される。又、エピタキシャル層としては、基板がGaAsの場合は、代表的には、GaAs、AlGaAs、InGaAs、InGaPが、基板がInPの場合は、代表的には、InP、InGaAsP、InGaAsが例示される。なお、成長方法としては、分子線エピタキシャル成長法(MBE法)や有機金属気相エピタキシャル成長法(MOVPE法)等が例示されるが、特に限定されるものではない。

【0009】本発明の化合物半導体ウエーハは、III-V族化合物半導体基板上にエピタキシャル層を成長させた化合物半導体ウエーハにおいて、前記エピタキシャル層と前記基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは、更に、Se、Te、Zn、Be、Mn、Fe、Mg、Cr及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、であることを最大の特徴とする。又、本発明の化合物半導体ウエーハを用いて作製される半導体デバイスとしては、代表的には、FETが例示されるが、ヘテロバイポーラトランジスタ(HBT)、発光ダイオー

ド(LED)、レーザダイオード(LD)等にも用いることができることは明らかである。以下、III-V族化合物半導体基板としてノンドープの半絶縁性GaAsを用い、MOVPE法により、GaAsをエピタキシャル成長させ、そしてFETを作製する場合を例にとりて説明するが、本発明はこれにより何ら制限を受けるものではない。

【0010】本発明の化合物半導体ウエーハは、① 基板の洗浄方法、② エピタキシャル成長する迄の基板の保管方法及び③ エピタキシャル成長開始前の成長条件、の3点を最適化することにより得られる。以下、具体的に記載する。

① 基板の洗浄方法の最適化

HF(50容量%) : H_2O = 1 : 1 ~ 1 : 25 (容量比)のエッチング液を用い、基板を30秒~10分エッチングした後、水洗を2~20分行う。

HF(50容量%) : H_2O が1 : 1 (容量比)未満では、基板自身のエッチングの程度が大きくなり表面荒れを起こし、又、1 : 25を超えると表面に付着している不純物を除去できなくなるので、好ましくない。

【0011】② エピタキシャル成長する迄の基板の保管方法の最適化

上記の洗浄処理を施した基板を乾燥処理後、数分(約5分)以内に、窒素雰囲気下に移動して保管する(具体的には、酸素濃度10ppm以下の高純度窒素ボックスに入れるか、又は、アルミパック等に窒素封入することが例示されるが、本発明の趣旨に反しない限り、何ら制限されるものではない)。上記の方法以外、例えば、通常行われている成長開始までクリーンルーム(空气中)に数十分~数時間保管する方法は、一度減った不純物が表面に再付着するので好ましくない。

【0012】③ エピタキシャル成長開始前の成長条件の最適化

上記①、②で清浄な表面に保たれている基板を汚染することなく温度を上げるエピタキシャル成長開始前の成長条件は、重要なポイントであり、基板がGaAsの場合は、以下の条件が好ましい。

- ・ 成長温度 : 600 ~ 700℃
- ・ 成長圧力 : 30 ~ 60 torr
- ・ AsH_3 供給量 : 500 ~ 1500 sccm
- ・ 成長開始までの保持時間 : 5 ~ 20分以内

なお、基板がInPの場合には、上記の条件に相当するような条件(成長温度、 PH_3 供給量等)を適宜選択すればよい。

【0013】以上の処理を施した後、通常の条件でエピタキシャル成長することにより、本発明のエピタキシャル層と基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは、更にSe、Te、Zn、Be、Mn、Fe、Mg、Cr

及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、である化合物半導体ウェーハが得られる。そして、上記の化合物半導体ウェーハを用い、通常の方法でFET等の半導体デバイスを作製することができる。

【0014】

【実施例】以下に、具体的な実施例を挙げて、本発明の説明をする。

【0015】

【実施例1】3インチのノンドープGaAs基板を用い、①基板の洗浄方法、②エピタキシャル成長する迄の基板の保管方法及び③エピタキシャル成長開始前の成長条件を変化させ、そして、通常の方法でGaAsのエピタキシャル膜を $1 \mu\text{m}$ 形成した。この時のそれぞれの条件を表1に示す。

【0016】

【表1】

実施例	前処理	保管	成長開始前
(1)	硫酸希釈処理	大気中保管	550℃、3min. AsH ₃ :300sccm
(2)	HF:H ₂ O=1:10、5min.	大気中保管	550℃、3min. AsH ₃ :300sccm
(3)	HF:H ₂ O=1:10、5min.	大気中保管	540℃、10min. AsH ₃ :300sccm
(4)	HF:H ₂ O=1:10、5min.	窒素ボックス保管	540℃、10min. AsH ₃ :300sccm

【0017】次に、エピタキシャル層と基板との界面の不純物のSIMS分析結果、該界面のキャリアの測定結果(C-V測定結果)及び通常の方法でFETを作製した場合のFETの評価結果を表2に示す。

【0018】

【表2】

実施例	S I M S 分 析 結 果				
	C	O	Si	S	Se
(1)	3.0×10^{11} 1.5×10^{17}	5.0×10^{11} 2.5×10^{16}	3.0×10^{16} 3.0×10^{17}	6.0×10^{11} 3.0×10^{17}	1.0×10^{10} 5.0×10^{16}
(2)	1.2×10^{11} 6.0×10^{15}	1.4×10^{11} 7.0×10^{15}	1.2×10^{11} 6.0×10^{16}	1.5×10^{11} 7.5×10^{16}	検出下限以下 検出下限以下
(3)	検出下限以下 検出下限以下	8.0×10^{14} 1.5×10^{18}	3.0×10^{11} 1.5×10^{17}	4.0×10^{11} 2.0×10^{17}	検出下限以下 検出下限以下
(4)	検出下限以下 検出下限以下	1.0×10^{10} 1.0×10^{10}	5.0×10^{10} 2.5×10^{16}	8.0×10^{10} 4.0×10^{16}	検出下限以下 検出下限以下

*各実施例の上段の数値は面密度(単位: cm^{-2})、

下段の数値はピーク値(単位: cm^{-3})を示す。

*Te、Be、Mg、Zn、その他の遷移金属は、いずれも検出下限であった。

実施例	C-V測定 界面キャリア	ピンチオフ 特性	ドレイン耐圧 特性	ヒステリシス
(1)	有	不良	不良	無
(2)	無	不良	不良	無
(3)	無	良好	良好	有
(4)	無	良好	良好	無

【0019】なお、参考までに、SIMS分析における検出下限を表3に示す。

【0020】

【表3】

	単位	S I M S 分 析 下 限 値						
		C	O	Si	S	Se	Te	Be
面密度	cm^{-2}	3×10^{10}	5×10^{10}	3×10^9	5×10^9	3×10^8	3×10^7	7×10^8
ピーク値	cm^{-3}	5×10^{19}	1×10^{19}	2×10^{18}	5×10^{18}	5×10^{18}	5×10^{18}	2×10^{19}
	単位	S I M S 分 析 下 限 値						
		Mg	Zn	Fe	Mn	Cr	Cu	
面密度	cm^{-2}	1×10^8	1×10^{10}	3×10^8	5×10^8	5×10^8	1×10^{10}	
ピーク値	cm^{-3}	5×10^{19}	1×10^{19}	2×10^{18}	1×10^{18}	1×10^{18}	1×10^{18}	

【0021】表1及び表2より、以下のことが判る。実施例(1)においては、Si、S等の界面不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ を超え、ピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ を超えており、これにより界面キャリアの発生とピンチオフ特性の悪化が見られた。実施例(2)では、Si、S等の界面不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ を超え、ピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ を超えているものの、実施例(1)よりも低くなっており、界面キャリアの発生は見られなかったが、ピンチオフ特性の悪化が見られる。実施例(3)では、酸素を面密度で $1 \times 10^{11} \text{ cm}^{-2}$ を超え、ピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ を超えて導入することにより、自由電子をトラップし、界面キャリアの発生を抑制している。又、ピンチオフ特性とドレイン耐圧においても良好な特性を示しているものの、DC特性におけるヒステリシスが発生しており、全てにおいて良好なFET特性とはいえない。実施例(4)が本発明の実施例であり、上述のC、O、Si及びS等の不純物を面密度で $1 \times 10^{11} \text{ cm}^{-2}$ 以下、ピーク値で $5 \times 10^{16} \text{ cm}^{-3}$ 以下にしたものであり、界面キャリアの発生はなく、良好なFET特性を示していることが判る。

【0022】なお、実施例では遷移金属は検出下限以下であったが、これらアクセプタとなりうる不純物が存在した場合にFET特性が悪化することは前述の理由より明らかである。又、実施例では、GaAs基板の例を説明したが、InP等の他のIII-V族化合物半導体基板にも適用できることは明らかである。

【0023】

【発明の効果】以上説明したように、本発明の『III-V族化合物半導体基板上にエピタキシャル層を成長させた化合物半導体ウェーハにおいて、前記エピタキシャル層と前記基板との界面のC、O、Si及びSの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下、好ましくは、更に、Se、Te、Zn、Be、Mn、Fe、Mg、Cr及びCuの不純物の面密度が $1 \times 10^{11} \text{ cm}^{-2}$ 以下及び／又は前記不純物のピーク値が $5 \times 10^{16} \text{ cm}^{-3}$ 以下である』ウェーハを用いることにより、良好な特性を持った半導体デバイス、例えば、FET等を作製することができる。

フロントページの続き

F ターム(参考) 5F043 AA03 AA04 BB06 DD02 GG10
5F045 AA04 AA05 AB10 AB12 AB17
AC01 AD10 AD11 AE23 AF04
BB14 BB16 CA02 CA10 CA12
HA04
5F052 KA05
5F103 AA04 AA05 DD01 DD03 DD05
DD08 DD11 DD13 DD30 GG01
HH03 LL02 LL03 LL11 PP01
RR05 RR06